

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-156632

(43)Date of publication of application : 29.05.1992

(51)Int.Cl.

G06F 12/06

(21)Application number : 02-282204

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.10.1990

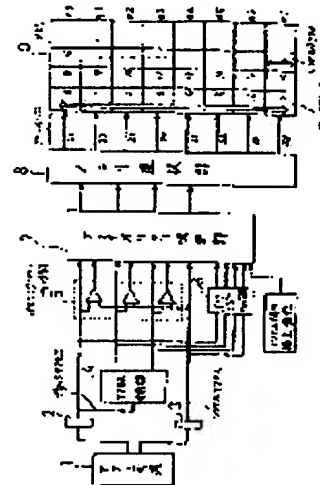
(72)Inventor : IMAGAWA TAMAKI
NAKATANI SHOJI

(54) MEMORY ACCESS CONTROL SYSTEM

(57)Abstract:

PURPOSE: To improve memory access throughput by dividing block access into plural pieces, checking the busy of a bank and the conflict of a bus and originating information to a memory when access in the unit of half block access is available.

CONSTITUTION: Block access transmitted to an accessing port 2 is divided into a high-order division and a low-order division in an access division part 4. The block access is sent to a bus conflict checking part 5 and a bank busy checking part 6 with a single access and a block access and the conflict of the address bus and the busy of the bank are checked. Information whether access is single or block and information on a load instruction or a storage instruction are supplied to a priority decision part 7 with information on the outputs of the bus conflict check part, the bank busy checking part 6 and the accessing ports 2 and 3. The priority of respective accesses is decided and memory access throughput can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-156632

⑬ Int. Cl.³
G 06 F 12/06

識別記号
5 5 0

庁内整理番号
8841-5B

⑭ 公開 平成4年(1992)5月29日

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 メモリアクセス制御方式

⑯ 特 願 平2-282204

⑰ 出 願 平2(1990)10月20日

⑱ 発 明 者 今 河 環 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 中 谷 彰 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 長谷川 文廣 外2名

明 細 書

1. 発明の名称

メモリアクセス制御方式

2. 特許請求の範囲

(1) シングルアクセスおよびブロックアクセスを受け付け、当該アクセス間のアドレスバスコンフリクトおよび前記アクセスそれぞれのメモリバンクのビジーを調べ、これらの結果データおよび前記アクセス間の優先順位に基づき、前記アクセスそれぞれについての、アドレスバスを介してメモリに発信することのプライオリティを決定するメモリアクセス制御方式において、

前記ブロックアクセスを複数の分割ブロックアクセスに分けるアクセス制御部を設け、

前記アドレスバスコンフリクトおよびビジーを調べて前記プライオリティを決定する対象として当該分割ブロックアクセスも含め、

この分割ブロックアクセスが前記プライオリティをえたときは、当該分割ブロックアクセスの単

位で前記発信を行うようにしたことを特徴とするメモリアクセス制御方式。

(2) アクセス制御部は、アクセス信号中のアクセスバリッド信号とオペコードとを受け取ってこのオペコードがブロックアクセスのものである場合には分割ブロックアクセスのオペコードに変更し、また前記オペコードがブロックアクセスのものでない場合にはアクセスバリッド信号をオフにするオペコードデコードと、アクセス信号中のアドレスに変更を加えて分割ブロックアクセスのアドレスを作成するアドレスデコードとを備えた請求項1記載のメモリアクセス制御方式。

3. 発明の詳細な説明

〔概要〕

メモリアクセス制御方式に関し、

ブロックアクセスの要求元のメモリアクセスのスループットを高めることを目的とし、

シングルアクセスおよびブロックアクセスを受け付け、当該アクセス間のアドレスバスコンフリ

タトおよび前記アクセスそれぞれのメモリバンクのビジーを調べ、これらの結果データおよび前記アクセス間の優先順位に基づき、前記アクセスそれぞれについての、アドレスバスを介してメモリに発信することのプライオリティを決定するメモリアクセス制御方式において、前記ブロックアクセスを複数の分割ブロックアクセスに分けるアクセス分割部を設け、前記アドレスバスコンフリクトおよびビジーを調べて前記プライオリティを決定する対象として当該分割ブロックアクセスも含め、この分割ブロックアクセスが前記プライオリティをえたときは、当該分割ブロックアクセスの単位で前記発信を行う構成を有する。

〔産業上の利用分野〕

本発明は、メモリアクセス制御方式に関し、特にCPUなどからのシングルアクセスに加えてベクトル演算ユニットなどからのブロックアクセスを受け付けるメモリアクセス制御装置において、アクセス各々の種類、各アクセス発信先のメモリ

バンクのビジー、各アクセス間のアドレスバスコンフリクトなどを調べ、これらの結果に基づいて実行可能なアクセスを選択してメモリに発信するメモリアクセス制御方式に関する。

〔従来の技術〕

従来、シングルアクセスとブロックアクセスとを受け付けるメモリアクセス制御装置でのアクセス選択は、第8図、第7図に示すような方式で行なわれている。

第8図において、メモリアクセス制御装置74はI/O装置71、CPU72、ベクトル演算ユニット73などからのシングルアクセスおよびブロックアクセスを受け付ける。そして、種類判定部75、バンクビジーチェック部76、バスコンフリクトチェック部77のそれぞれでアクセス各々の種類、各アクセスの発信先のメモリバンクのビジー、各アクセス間のアドレスバスコンフリクトなどを調べ、これらの結果データを用いて、例えば第7図に示すような手順により、各アクセスのプライオリティ

ィを決定し、このプライオリティにしたがってバス選択部78でアドレスバスを選択することにより、発信先のバンクメモリを確保している。また、メモリは、複数のレイカードなどのメモリユニット80～87からなり、このメモリユニット80～87のそれぞれはn個のメモリバンクから構成されている。そして、各メモリユニットとメモリアクセス制御装置74とはロード用アドレスバス81、ストア用アドレスバス82を介して接続され、また各メモリユニットにはロード用データバス、ストア用データバスが接続されている。

なお、シングルアクセスは1本のアドレスバスを使用する、例えば8バイトのアクセスであり、またブロックアクセスは複数本のアドレスバスを使用する、例えば8本のアドレスバスを使用する64バイトのアクセスである。

第7図は、前記プライオリティを決定する手順を示す説明図である。

すなわち、あるアクセスに対して、

① アクセス発信先のメモリバンクに関するビジ

ーフラグの状態に基づいて当該メモリバンクが「バンクビジー」であるかどうかを調べ、

「YES」の場合は「発信不可」と判断し、

「NO」の場合はステップ②に進む。

② 他のアクセスとの間でアドレスバスコンフリクトが発生していないかどうかを判断し、

「YES」の場合はステップ③に進み、「NO」の場合はステップ④に進む。

③ ロード命令、ストア命令に関して、アドレスバスコンフリクトの相手のアクセスが同種のものであるかどうかを判断し、「YES」の場合はステップ④に進み、「NO」の場合はステップ⑤に進む。

④ シングルアクセス、ブロックアクセス間などについて予め決めてある優先順位が、高いかどうかを判断し、「YES」の場合はステップ⑥に進み、「NO」の場合はステップ⑤に進む。

⑤ アドレスバスコンフリクトの相手アクセスが発信可能であるかどうかを判断し、「YES」の場合はステップ⑥に進み、「NO」の場合は「発

信不可」と判断する。

④ このアクセスのプライオリティを決定する。といった手順により各アクセスのプライオリティを決定する。

〔発明が解決しようとする課題〕

以上のように、従来のプライオリティ決定におけるバンクビジー、バスコンフリクトのチェックの際には、ブロックアクセスのブロック幅全体、すなわちこのブロックアクセスの発信に必要なアドレスバスおよび発信先のメモリバンクのすべてを判断の対象としている。

そのため、例えば

・メモリバンク0～7へのブロックアクセスに対してメモリバンク0のみが「バンクビジー」であるとき、

・ストア命令に関するもの同士などの同種の、メモリバンク0～7（メモリユニット80～87）へのブロックアクセスと、プライオリティの高いシングルアクセスとが同時に要求されたとき、

などは、ブロックアクセスをメモリユニットに発信できない状態となり、特にプライオリティの高いシングルアクセスが連続する場合には長期間にわたってブロックアクセスの発信ができず、このブロックアクセスの要求元のメモリアccessのスループットが低下するといった問題点を有している。

そこで、本発明では、ブロックアクセスを複数の分割ブロックアクセスに分けてこの分割ブロックアクセスを1つの単位としてシングルアクセスとの間でプライオリティを決定し、プライオリティを得た分割ブロックアクセスについてはこの単位で発信することにより、ブロックアクセスの要求元のメモリアccessのスループットを高めることを目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理説明図である。

第1図において、

1は、アクセス源であり、例えばCPU、ベクト

ル演算ユニットなどでシングルアクセスやブロックアクセスをメモリに対して発信する。

2は、第1のアクセスポートであり、ブロックアクセスとシングルアクセスを受け付ける。

3は、第2のアクセスポートであり、ブロックアクセスとシングルアクセスを受け付ける。

4は、アクセス分割部であり、第1のアクセスポートで受け付けたブロックアクセスを複数、例えば2個の分割ブロックアクセスに分ける。

5は、バスコンフリクトチェック部であり、シングルアクセスと、ブロックアクセス、各分割ブロックアクセスのそれぞれとのコンフリクト状態を調べる。

6は、バンクビジーチェック部であり、各アクセス（ブロックアクセス、各分割ブロックアクセス、シングルアクセス）の発信先のメモリバンクに関するビジーフラグの状態を調べる。

7は、プライオリティ決定部であり、第1図に示したのと同様な手順で各アクセス（ブロックアクセス、各分割ブロックアクセス、シングルアクセス）のプライオリティを決定する。なお、競合するアクセス間での優先順位は予め決められており、例えばブロックアクセスと分割ブロックアクセスの間では、ブロックアクセスの方が優先する。そして、このプライオリティ決定部からは、ブロックアクセス、各分割ブロックアクセス、シングルアクセスそれぞれを発信することの可否（ただし、ブロックアクセスが「可」であるときは簡記優先順位にしたがって各分割ブロックアクセスは「否」）についての信号が出力される。

8は、メモリ選択部であり、プライオリティ決定部7の出力が「可」となっているアクセスに対応したアドレスバスを選択する。

9は、メモリであり、例えばそれぞれが複数のメモリバンクから構成されるメモリユニット80～87からなり、各メモリユニットにはアドレスバスが接続されている。

ここで、ブロックアクセスはオペコードの識別により第1のアクセスポート2に送られたブロックアクセスは、アクセス分割部4で、例えば2個

の上位分割ブロックアクセスと下位分割ブロックアクセスとに分けられる。そして、この上位分割ブロックアクセスと下位分割ブロックアクセスがシングルアクセス、ブロックアクセスとともにバスコンフリクトチェック部5およびバンクビジーチェック部6に送られ、前者ではシングルアクセスと各ブロックアクセスとの間の「アドレスバスコンフリクト」を、また後者ではシングルアクセスおよび各ブロックアクセスそれぞれの発信先メモリアンクの「バンクビジー」を調べ、

また、プライオリティ決定部7には、バスコンフリクトチェック部5、バンクビジーチェック部6及び第1、第2のアクセスポート2、3の出力、すなわち前記の「アドレスバスコンフリクト」、「バンクビジー」についての情報とともに、各アクセスポートで受け付けるアクセスについての、オペコードに基づく、シングルアクセスかブロックアクセスか、ロード命令かストア命令かなどの情報が供給される。そして、これらの情報に基づいて各アクセスのプライオリティが決定される。

先順位が高い場合（このケースが一般的である）には、「メモリアンク8へのシングルアクセス」と「メモリアンク4～7への分割ブロックアクセス」とがプライオリティを得、前者はアドレスバス21を、また後者はアドレスバス25～28を使用することにより、それぞれのアクセスがメモリに発信される。

そして、以上のケースにおいて、メモリアンク8が「バンクビジー」のときは、「メモリアンク0～7へのブロックアクセス」がプライオリティを得てアドレスバス21～28を使用することにより、このブロックアクセスがメモリに発信される。

なお、以上の説明は、ロード命令用アドレスバスとストア命令用アドレスバスとを別々に設けた場合についてであるが、これらのアドレスバスを共通にして用いる場合にも本発明は適用できる。

【実施例】

第2図～第4図を参照して本発明の実施例を説明する。

【作用】

本発明においては、例えば「メモリアンク8へのシングルアクセス」と「メモリアンク0～7へのブロックアクセス」とを受け付けた場合、このブロックアクセスは「メモリアンク0～3への分割ブロックアクセス」と「メモリアンク4～7への分割ブロックアクセス」とに分けられ、バンクビジーチェック部6によりこれら4つのアクセスの発信先のメモリアンクのビジー状態を調べ、平行してバスコンフリクトチェック部5により3つのブロックアクセス各々とシングルアクセスとのアドレスバスコンフリクトを調べている。そして、メモリアンク0～8のすべてが「バンクビジー」ではなく、かつ「メモリアンク8へのシングルアクセス」と「メモリアンク0～7へのブロックアクセス」とが共にロード命令、またはストア命令についての同種のものであるときには、プライオリティ決定部7は、シングルアクセスとブロックアドレスとの間の優先順位にしたがって各アクセスのプライオリティを決める。例えば、前者の優

第2図において、31～34はベクトル演算ユニット用アクセスポート、35はスカラー演算ユニット用アクセスポート、36～37はアクセス分割回路、38～39はバスコンフリクトチェック回路、40はバンクビジーチェック回路、41はプライオリティ決定回路、42はロード命令用アクセス選択回路、43はストア命令用アクセス選択回路、44はロード命令/ストア命令それぞれ8本ずつのアドレスバスについてのバス用ポートである。

ここで、複数のベクトル演算器を持つベクトル演算ユニット（図示せず）はそれぞれベクトル演算ユニット用アクセスポート31～34のすべてにつながっており、これらのベクトル演算ユニットからのアクセスが、ブロックアクセスのときはベクトル演算ユニット用アクセスポート31～32のどちらかに、またシングルアクセスのときはベクトル演算ユニット用アクセスポート31～34のどれかに入る。そして、アクセスポート31～32のブロックアクセスはアクセス分割回路38～39に入り、そこでオペコードとアドレスをデコードして上位ハー

ブロックアクセスおよび下位ハーフブロックアクセスのための信号を作成する。

次に、バンクビジーチェック回路40により、ブロックアクセス、上位ハーフブロックアクセス、下位ハーフブロックアクセスおよびシングルアクセスの4つのアクセスの発信先のメモリバンクのビジー状態を調べ、これと平行してバスコンフリクトチェック回路38~39により、各ブロックアクセスとシングルアクセスとのバスコンフリクトを調べ、これらの結果からプライオリティ決定回路41にて4つのアクセス各々のプライオリティを決定する。このとき、第1のバスコンフリクトチェック回路38にはアクセスポート31, 32からのブロックアクセスとアクセスポート33, 34, 35からのシングルアクセスとが供給されてブロックアクセスとシングルアクセスとのバスコンフリクトを、また第2のバスコンフリクトチェック回路39にはアクセス分割回路36, 37の出力である上位ハーフブロックアクセス、下位ハーフブロックアクセスとアクセスポート35からのシングルアクセスとが供

給されてスカラ演算ユニットからのシングルアクセスとハーフブロックアクセスの各々とのバスコンフリクトを調べている。

そして、シングルアクセスのプライオリティが得られたときはそのまま採用し、またアクセスポート31, 32からのブロックアクセスについては3つに分けたアクセスの中でプライオリティが高いものをアクセス選択回路42, 43により選択し、続いてこれらの選択されたアクセスをバスポート44の中の対応するものを介してメモリバンクに発信する。

第3図はアクセス分割回路の実施例を示す説明図であり、51はオペコードデコード、52はアドレスデコード、53はアクセス信号、54はバリッド信号、55はオペコード、56はバンクビジーチェック用のフラグ、57はアドレスである。なお、オペコード55にはブロックアクセスかシングルアクセスか、ロード命令についてのアクセスかストア命令についてのアクセスかなどの情報が入っている。ここで、オペコードデコード51はバリッド信号54

とオペコード55とを受け取り、このオペコードがブロックアクセスの場合にはハーフブロックアクセスのモードのオペコードに変更し、またオペコードがブロックアクセスでない場合にはハーフブロックアクセスのバリッド信号54をOFFにする。また、アドレスデコード52は、アドレス57に変更を加えて各ハーフブロックアクセスのアドレス、例えばそれぞれの開始アドレスを作成する。

なお、2分割以外の4分割、8分割などの分割ブロックアクセスを作成するときは予め分割できる値を決めておき、オペコードでこれを選択するようにしてもよい。

第4図は、アクセス選択回路の実施例を示す説明図である。ここで、プライオリティ決定回路41からはブロックアクセスのプライオリティ信号81およびハーフブロックアクセスのプライオリティ信号82, 83が出力されている。そして、前者の反転信号と後者の信号との論理積をとることにより、ブロックアクセスをメモリに発信できる場合にはハーフブロックアクセスのプライオリティ信号82、

83をオフにしている。

第5図は、本発明によるアクセス時間の短縮化を示す説明図であり、あるマシンサイクルで「発信可」となった場合には次のマシンサイクルで発信されることを前提にしている。すなわち、バス0~7を使用するブロックアクセスIと、高プライオリティの連続するシングルアクセスIVとが入ってくる場合、単にブロックアクセスのみでプライオリティを決定する従来の手法では時刻 t_1 になってブロックアクセスのメモリへの発信が可能となるのに対し、ブロックアクセスIを上位ハーフブロックアクセスIIと下位ハーフブロックアクセスIIIに分け、これらのハーフブロックアクセスを含めてプライオリティを決定する本発明の手法では時刻 t_1 , t_2 でそれぞれ上位ハーフブロックアクセスII、下位ハーフブロックアクセスIIIのメモリへの発信が可能となり、アクセス時間が8倍だけ短縮されることを示している。

【発明の効果】

本発明は、シングルアクセスとブロックアクセスとを受け付けるメモリ制御方式において、先ずブロックアクセスを複数、例えば2個の上位ハーフブロックアクセス、下位ハーフブロックアクセスに分け、これら4個のアクセスに関するバンクビジー、バスコンフリクトのチェックを行なってハーフブロックアクセス単位でのアクセスが可能なる場合にはこのアクセスをメモリに発信する構成にしているため、ブロックアクセスの長期にわたる発信不可状態を避けることができ、ブロックアクセスの要求元のメモリアクセススループットの向上を図ることができる。

説明図、第6図は従来のアクセス制御方式を示す説明図、第7図は各アクセスのプライオリティを決定する手順を示す説明図である。

第1図において、

- 1・・・アクセス源
- 2・・・第1のアクセスポート
- 3・・・第2のアクセスポート
- 4・・・アクセス分割部
- 5・・・バスコンフリクトチェック部
- 6・・・バンクビジーチェック部
- 7・・・プライオリティ決定部
- 8・・・メモリ選択部
- 9・・・メモリ

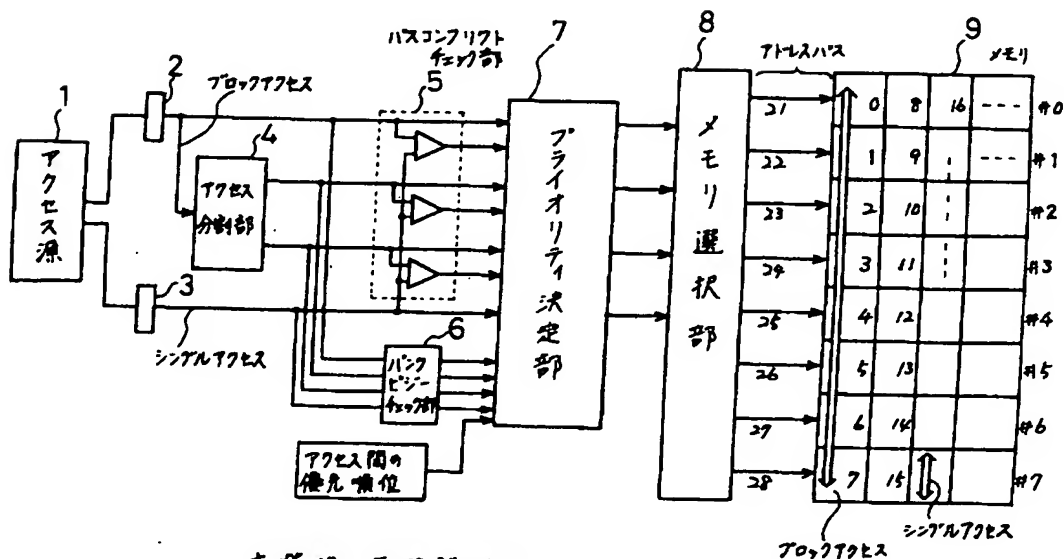
4. 図面の簡単な説明

第1図は本発明の原理説明図、第2図は本発明の実施例を示す説明図、第3図は本発明のアクセス分割回路の実施例を示す説明図、第4図は本発明のアクセス選択回路の実施例を示す説明図、第5図は本発明によるアクセス時間の短縮化を示す

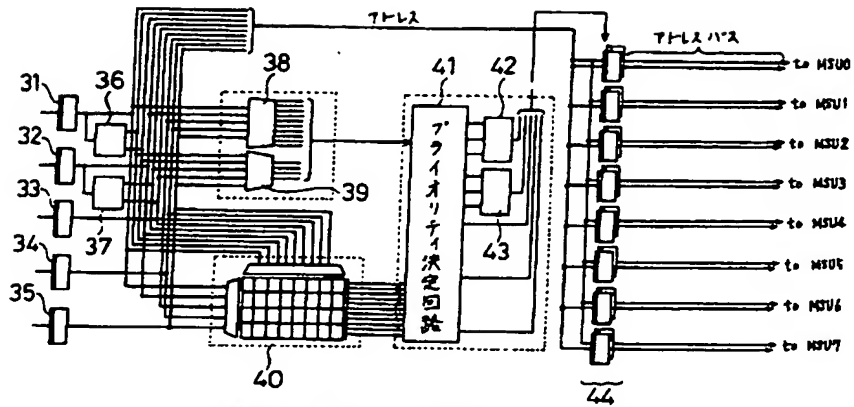
特許出願人 富士通株式会社

代理人 弁理士 長谷川 文廣

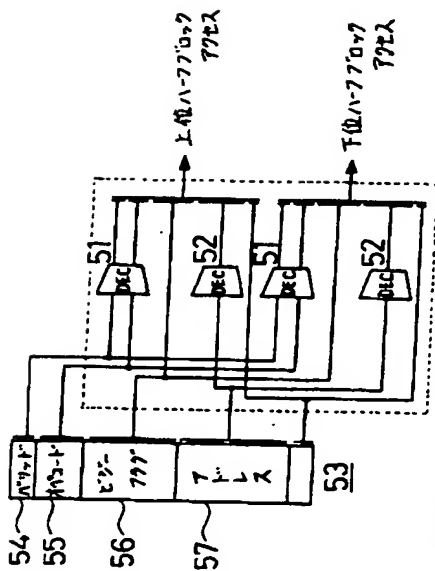
(外2名)



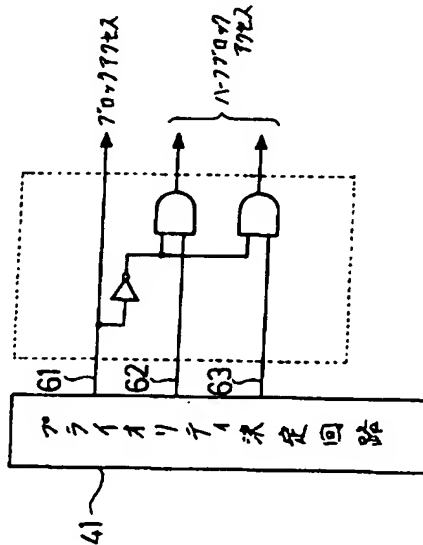
本発明の原理説明図
第1図



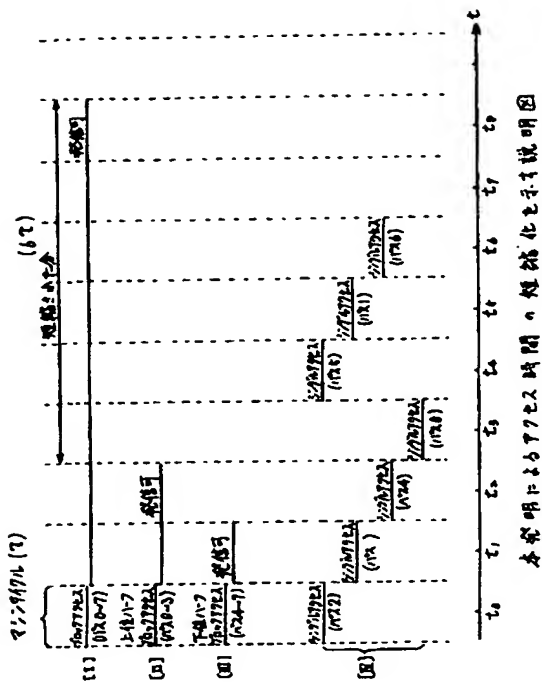
本発明の実施例を示す説明図
第 2 図



本発明のフック分割回路の実施例を示す説明図
第 3 図

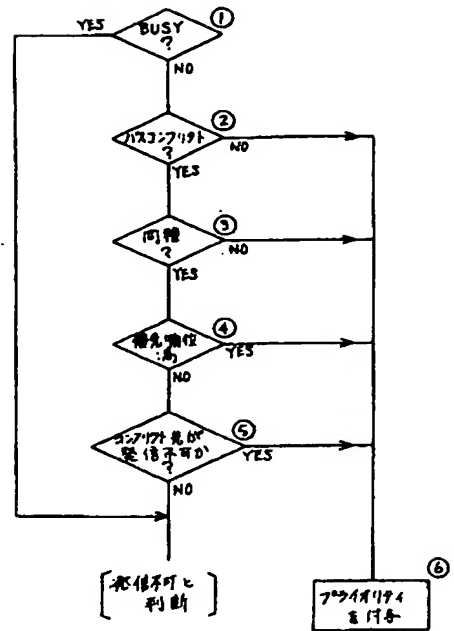


本発明のフック選取回路の実施例を示す説明図
第 4 図



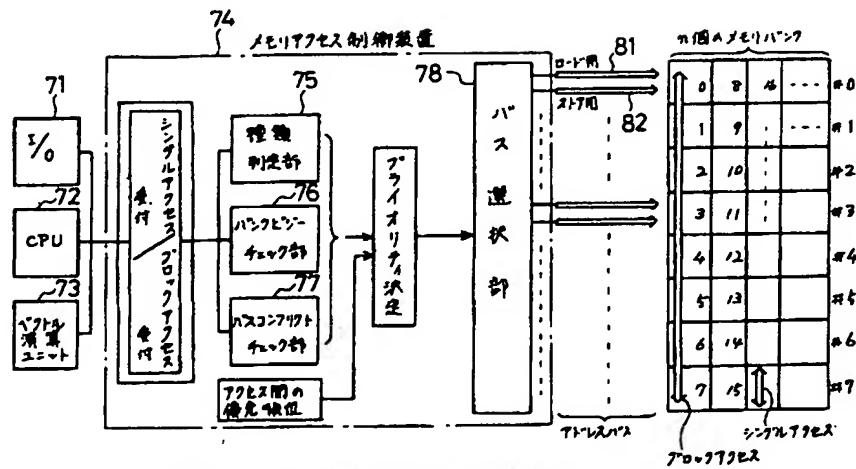
第 5 図

本説明によるアクセス時間の短縮化を示す説明図



各アクセスの優先順位を決定する手順を示す説明図

第 7 図



従来のアクセス制御方式を示す説明図

第 6 図